



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

(43) Date of publication of application:

04.04.2002

1020020025272 A

(21) Application number: 1020000056910

(71) Applicant:

(22) Date of filing: 28.09.2000

EMERGING MEMORY
& LOGIC SOLUTION
INC.

(72) Inventor:

LEE, JONG HUN

(51) Int. Cl

G11C 11/407

(54) MEMORY INTEGRATED CIRCUIT HAVING SELF-REFRESH FUNCTION AND METHOD OF DRIVING THE SAME

(57) Abstract:

PURPOSE: A memory integrated circuit having self-refresh function and method of driving the same is provided to replace a standard SRAM on a conventional PC board without needing an external refresh signal while using a single transistor cell structure.

CONSTITUTION: A method for driving a memory integrated circuit, which comprises a self-refresh control circuit(104) for periodically generating a self-refresh control pulse signal without an external refresh command, generating a normal access control pulse signal, having a pulse width longer than that of the self-refresh control pulse signal, in response to an external access command signal, determining the order of the self-refresh control pulse signal and the normal access control pulse signal, generating an access control signal when the normal access control pulse signal precedes the self-refresh control pulse signal, inactivating the access control signal, generating a refresh control signal after the inactivation of the access control signal, and inactivating the refresh control signal.

COPYRIGHT KIPO 2002

Legal Status

Date of final disposal of an application (20030417)

Patent registration number (1003824080000)

Date of registration (20030418)

Date of opposition against the grant of a patent (00000000)

특 2002-0025272

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. G11C 11/407	(11) 공개번호 특2002-0025272
	(43) 공개일자 2002년04월04일
(21) 출원번호	10-2000-0056910
(22) 출원일자	2000년09월28일
(71) 출원인	(주)이엠엘에스아이 박 성 식 서울특별시 송파구 가락동 78 마이티벤처타워동관 11
(72) 발명자	이종훈
(74) 대리인	경기도성남시분당구구미동청구아파트510동901호 곽덕영

설사경구 : 있음

(54) 셀프-리프레쉬 기능을 가지는 메모리 집적 회로 및 그구동 방법**요약**

셀프-리프레쉬 기능을 가지는 메모리 집적 회로 및 그 구동 방법이 게시된다. 본 발명에 따르면, 의사 스태틱 랜덤 억세스 메모리(PSRAM)는 외부 리프레쉬 명령을 필요로 하지 않는 내부 셀프-리프레쉬 회로를 구비하고 있다. 이는 셀프-리프레쉬 동작과 정상적인 메모리 억세스 동작간의 타이밍 충돌을 초래한다. 타이밍 충돌은 셀프-리프레쉬 동작과 정상적인 메모리 억세스 동작이 동시에 수행되거나 중첩될 때에 발생한다. 두 동작 간의 우선 순위를 결정하기 위한 중재회로가 상기와 같은 시간 차이를 해결하기 위해서 사용된다. 셀프-리프레쉬 동작이 정상적인 메모리 억세스 동작보다 먼저 일어나면, 셀프-리프레쉬 동작이 완료되고 나서, 정상적인 메모리 억세스 동작이 뒤이어 일어나게 된다. 정상적인 메모리 억세스 동작이 셀프-리프레쉬 동작보다 먼저 일어나면, 정상적인 메모리 억세스 동작이 완료되고 나서, 셀프-리프레쉬 동작이 뒤이어서 일어나게 된다. 중재회로는 셀프-리프레쉬 동작을 나타내는 셀프-리프레쉬 펄스 신호와 정상적인 메모리 억세스 동작을 나타내는 정상 억세스 펄스 신호를 수신하여 두 펄스 신호의 타이밍에 따른 동작의 우선순위를 결정하고 내부 셀프-리프레쉬 제어 신호와 정상 억세스 제어 신호를 발생한다.

도표도**도1****명세서****도면의 고급설 설명**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도1은 본 발명의 일실시예에 따른 내부 셀프-리프레쉬 기능을 가지는 반도체 메모리의 개략적인 블록도이다.

도2는 정상 동작의 PSRAM의 타이밍도이다.

도3a는 도1에 도시된 셀프-리프레쉬 블록(104)의 억세스 회로의 보다 상세한 블록도이다.

도3b는 도3a의 회로 블록의 타이밍도이다.

도4는 도1의 블록(108)에 사용된 펄스발생기(440)의 블록도이다.

도5a는 도1에 도시된 중재회로(106)에 대한 구체적인 회로도이다.

도5b는 도5a의 중재회로의 타이밍도이다.

도6은 본 발명의 메모리 뱅크 구성에 따른 워드라인 활성화를 보여주는 블록도이다.

도7은 본 발명의 일실시예에 따른 뱅크 제어 로직도이다.

도8은 본 발명의 일실시예에 따른 블록 선택 로직도이다.

<도면의 주요 부분에 대한 부호의 설명>

102...타이머

- 104...셀프-리프레쉬 억세스 회로
- 106...증재회로
- 108...정상동작을 위한 억세스 회로
- 110...리프레쉬 어드레스 카운터
- 112...로우 어드레스 버퍼/멀티플렉서
- 114...칼럼 어드레스 버퍼
- 116...로우 디코더
- 118...칼럼 디코더
- 120...칼럼 게이트
- 122...메모리 셀 어레이
- 330...링 오실레이터
- 334...멀티플렉서
- 336, 440, 554, 556...펄스 발생기
- 610A, 610B, 610C, 610D...메모리 뱅크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리에 관한 것으로, 특히 내부 셀프-리프레쉬 기능을 가지는 메모리에 관한 것이다. 의사 스태틱 랜덤 억세스 메모리(PSRAM: Pseudo Static Random Access Memory)는 내부적으로는 다이내믹 랜덤 억세스 메모리(DRAM: Dynamic Random Access Memory)의 셀 구조를 이용하면서, 외관상으로는 스태틱 랜덤 억세스 메모리(SRAM: static Random Access Memory)와 비슷하다. PSRAM의 셀 구조는, DRAM과 마찬가지로, 단일 트랜지스터와 단일 커패시터를 구비한다. 그러므로, 셀 정보를 리프레쉬하는 것은 셀 데이터 손실을 방지하기 위하여 필수 불가결하게 된다. 그리고, 종래의 PSRAM은 메모리 셀을 리프레쉬하기 위한 메모리 제어기로부터 리프레쉬 명령 신호를 수신하는 하나의 외부 리프레쉬 핀을 구비한다.

따라서, 종래의 PSRAM은 핀 구조가 표준의 SRAM의 핀구조와는 다르며, 또한, 외부 리프레쉬 신호가 메모리 장치에 인가되어야 한다. 그러므로, 종래의 PSRAM의 타이밍 파형도는 SRAM과 부합되지 않는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같은 종래의 PSRAM의 문제점을 해결하기 위한 것으로, DRAM의 단일 트랜지스터 셀 구조를 사용하고 외부 리프레쉬 신호를 필요로 하지 않아, 기존의 PC 보드상의 표준 SRAM을 대체할 수 있는 반도체 메모리를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일면은 셀프-리프레쉬 제어펄스 신호를 외부 리프레쉬 명령 없이 주기적으로 발생시키는 셀프-리프레쉬 제어 회로를 구비하는 메모리 집적 회로를 구동시키는 방법에 관한 것이다. 본 발명의 메모리 집적 회로 구동 방법은 외부 억세스 명령신호에 응답하여 상기 셀프-리프레쉬 제어펄스 신호보다 긴 펄스 폭을 가지는 정상 억세스 제어펄스 신호를 발생시키는 단계; 상기 셀프-리프레쉬 제어펄스 신호와 정상 억세스 제어 펄스신호의 순서를 결정하는 단계; 상기 정상 억세스 제어펄스 신호가 상기 셀프-리프레쉬 제어펄스 신호보다 우선하면 억세스 제어 신호를 발생시키는 단계; 상기 억세스 제어 신호를 비활성화시키는 단계; 상기 억세스 제어 신호의 비활성화후에 리프레쉬 제어 신호를 발생시키는 단계; 및 상기 리프레쉬 제어 신호를 비활성화시키는 단계를 구비한다.

본 발명의 다른 메모리 집적 회로 구동 방법은 외부 억세스 명령신호에 응답하여 상기 셀프-리프레쉬 제어펄스 신호보다 긴 펄스 폭을 가지는 정상 억세스 제어펄스 신호를 발생시키는 단계; 상기 셀프-리프레쉬 제어펄스 신호와 정상 억세스 제어펄스 신호의 순서를 결정하는 단계; 상기 리프레쉬 제어 신호가 상기 정상 제어펄스 신호보다 우선하면 리프레쉬 제어 신호를 발생시키는 단계; 상기 리프레쉬 제어 신호를 비활성화시키는 단계; 상기 리프레쉬 제어 신호의 비활성화후에 억세스 제어 신호를 발생시키는 단계; 및 상기 억세스 제어 신호를 비활성화시키는 단계를 구비한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일면은 메모리 집적 회로에 관한 것이다. 본 발명의 메모리 집적 회로는 메모리 셀 어레이; 및 전력 상승시 주기적으로 활성화되는 셀프-리프레쉬 신호를 내

부적으로 발생시키되, 상기 활성화된 셀프-리프레쉬 신호 각각이 상기 어레이에 있는 소정 개수의 메모리 셀 각각의 상태를 리프레쉬하기 위한 리프레쉬 동작을 개시하는 제1회로를 구비한다.

본 발명에 따르면, 의사 스태틱 랜덤 억세스 메모리(PSRAM)는 외부 리프레쉬 명령을 필요로 하지 않는 내부 셀프-리프레쉬 회로를 구비하고 있다. 이는 셀프-리프레쉬 동작과 정상적인 메모리 억세스 동작간의 타이밍 충돌을 초래한다. 타이밍 충돌은 셀프-리프레쉬 동작과 정상적인 메모리 억세스 동작이 동시에 수행되거나 중첩될 때에 발생한다. 두 동작 간의 우선 순위를 결정하기 위한 증재회로가 상기와 같은 시간 차이를 해결하기 위해서 사용된다. 셀프-리프레쉬 동작이 정상적인 메모리 억세스 동작보다 먼저 일어나면, 셀프-리프레쉬 동작이 완료된 후, 정상적인 메모리 억세스 동작이 뒤이어 일어나게 된다. 정상적인 메모리 억세스 동작이 셀프-리프레쉬 동작보다 먼저 일어나면, 정상적인 메모리 억세스 동작이 완료된 후, 셀프-리프레쉬 동작이 뒤이어서 일어나게 된다. 증재회로는 셀프-리프레쉬 동작을 나타내는 셀프-리프레쉬 펄스 신호와 정상적인 메모리 억세스 동작을 나타내는 정상 억세스 펄스 신호를 수신하여 두 펄스 신호의 타이밍에 따른 동작의 우선순위를 결정하고 내부 셀프-리프레쉬 제어 신호와 정상 억세스 제어 신호를 발생한다. 이는 차후에 도5를 참조하여 보다 구체적으로 설명하기로 한다.

대기 상태(idle) 중의 낮은 전력 소모는 이동 전화와 같은 통신 시스템에서 특히 중요한 요소이다. 본 발명에 따르면, 셀프-리프레쉬 동작과는 다른 워드라인 활성화 체계가 정상적인 억세스 동작에 사용된다. PSRAM은 각기 메모리 셀들과 센스 증폭기군을 구비하는 복수개의 메모리 블록을 구비하는 메모리 백크를 가진다. 정상적인 메모리 억세스 동작에서는 지정된 워드라인들이 메모리 백크 정보에 무관하게 선택된다. 셀프-리프레쉬 동작에서는 메모리 백크 정보를 수신하는 특정 메모리 백크에서 내부 어드레스 카운터에 의해 억세스된 복수개의 워드라인을 증의 하나만이 선택된다. 예를 들어서, 4-뱅크 메모리 구조에서는 셀프-리프레쉬 동작 중에는 하나의 워드라인이 인에이블되고 정상적인 메모리 억세스 동작 중에 4개의 워드라인이 인에이블되어 4-메모리 백크 구조의 경우에 전력 소모를 줄일 수 있다. 이는 도6내지 도8을 참조하여 이하에서 보다 더 구체적으로 설명될 것이다.

도1은 본 발명의 일실시예에 따른 PSRAM(100)의 블록도이다. 제1 억세스 회로(108)(정상동작을 위한 억세스 회로를 표시함)는 /OE, CS, /WE, /OE, ADD 등과 같은 외부 명령 신호를 수신하여 정상적인 메모리 출력 및 기입동작을 나타내는 내부 CEN 펄스 신호를 발생시킨다. 제1 억세스 회로(108)는 단자(107)를 통해 증재회로(106)에 연결되어 펄스 신호 CEN을 제공한다. 상기 CEN 신호는 어드레스 신호(ADD)가 변화하거나 친 인에이블 신호(CE)가 인에이블될 때에 일정 시간 주기 동안 발생되어 새로운 정상 메모리 억세스 동작의 시작을 나타낸다. 일반적으로, 어드레스 변화는 당업자들에게는 잘 알려져 있는 어드레스 변화 탐색(ATD) 회로(미도시)에 의하여 내부적으로 탐색된다.

일실시예에 있어서, CEN 펄스 신호는 범위의 예를 들어, 40~60 nS의 펄스 폭을 가진다. CEN 신호의 펄스 폭은 프로세스 기술, 설계 목적 및 기타 요소들에 의하여 조정될 수 있다. CEN 신호의 펄스 폭은 유효한 데이터가 입출력 패드(미도시)로 제대로 전달될 수 있게 보장되도록 세팅된다. 제2 억세스 회로(104)(셀프-리프레쉬 동작을 위한 억세스 회로를 표시함)는 펄스 열(stream)을 타이머(102)로부터 수신하여 내부 리프레쉬 신호를 나타내는 CEF 펄스 신호를 단자(105)를 통하여 증재회로(106)에 제공한다. CEF 펄스 신호는 선택된 메모리 셀의 데이터를 리프레쉬하는데 필요한 시간주기에 의존하는 CEN 신호보다 짧은 펄스 폭을 가질 수 있다. 메모리 셀 리프레쉬 사이클은 워드라인의 활성화와 센스 증폭기에 의해 워드라인에 연결된 셀들에 데이터를 저장하는 것을 포함한다. 리프레쉬 시간 주기는 복원 센스 증폭기의 용량, 셀의 누출요소 및 비트라인 로딩>Loading) 등과 같은 요소에 따라 달라질 수 있다. 일실시예에서는 상기 CEF 신호의 펄스 폭이 대략 20~40 nS로 세팅된다.

CEF 펄스 폭은 또한 도2에 도시된 어드레스 억세스 속도 변수 tAA(즉, 어드레스 변화와 데이터 출력간의 시간지연)에 영향을 줄 수도 있다. 셀프-리프레쉬 동작이 선행하면서 어느 정도 시간 주기만큼 정상 메모리 억세스 동작과 중첩하게 되면, 셀프-리프레쉬 동작의 적절한 증류가 보장되도록, 정상 메모리 억세스 동작이 중첩된 시간 주기만큼 지연된다. 이는 정상 메모리 억세스 동작의 지연을 초래한다. 이러한 지연을 최소화하기 위하여, CEF 펄스 신호의 펄스 폭이 가능한 한 짧아야 한다.

도2는 정상 출력 동작의 타이밍도이다. 타이밍 변수 tRC는 유효 데이터 입/출력에 대한 사이클 시간을 나타낸다. 워드라인과 칼럼라인의 선택되고 tRC 주기동안에 유효한 데이터가 입/출력 패드를 통하여 제공된다. 일실시예에서는 tRC가 최소 70 nS이다. 억세스 시간 변수 tAA는 /CE 가 로우인 상태에서 새로운 유효 어드레스 ADD가 메모리에 제공될 때와 유효 데이터가 처음으로 입/출력 패드에 제공될 때간의 시간 지연을 나타낸다. 일실시예에서는 tAA는 약 50 nS이다. 타이밍 변수 tOE (출력 인에이블 시간)은 명령신호 /OE가 로우로 전이할 때(즉, 활성화시)부터 유효데이터가 입/출력 패드 상에 처음으로 제공될 때까지의 시간을 나타낸다. 일실시예에서는 tOE는 약 25 nS이다.

도3a는 도1의 제2 억세스 회로(104)의 보다 상세한 블록도이다. 제2 억세스 회로(104)의 동작은 도3b에 도시된 타이밍도를 참조하여 설명될 것이다. 파워-업 회로(미도시)는 전력을 메모리(100)에 인가하고 소정 시간 주기(예를 들어, 스냅 마이크로 초) 후에 활성화(즉, '하이(high)'로 천이)되는 ('하이'로 천이) 초기화신호 INIT를 발생시킨다. 링 오실레이터(330)는 활성화된 초기화 신호(INIT)를 수신하여, 그에 응답하여 주기적인 펄스 열을 펄스 카운터(332)에 제공한다. 펄스 카운터(332)는 복수(n)개의 직렬 플립플롭(flip-flop)을 구비한다. 제1 플립플롭은 오실레이터(330)로부터 출력 신호를 수신하도록 결합되어 있고, 각 플립플롭은 출력 신호(FF0~FFn)를 제공한다. 멀티플렉서(334)는 출력 신호들(FF0 내지 FFn)을 수신하도록 결합되어, FF0 내지 FFn 중의 하나를 펄스 발생기 블록(336)에 제공한다. 펄스 발생기 블록(336)은 FFI 신호에 응답하여 CEF 펄스 신호를 제공한다.

FFI 신호는 이전 플립플롭 단계의 FFI-1 신호의 2배의 펄스 폭과 듀티 사이클을 가진다. 본 발명은 이와 같은 펄스 폭과 듀티 사이클에 한정되지 않고 다른 펄스 폭과 듀티 사이클을 원하는 대로 구현할 수 있다. 멀티플렉서(334)는 메모리 셀의 리프레쉬 시간(tREF) 요구에 따라 FFI 신호를 선택한다. 예를 들어, 링 오실레이터(330)가 1 μS의 펄스 폭과 2 μS의 듀티 사이클(즉, 상기 펄스의 하이 상태는 1 μS이고 로우 상태는 1 μS이다.)을 가지는 펄스 열을 발생시키고 필요한 리프레쉬 시간(tREF)이 256 μS이라 가정하자. 그러면, FFI 펄스의 듀티 사이클은 4K 리프레쉬 사이클(scheme)에 대하여 64 μS가 될 것이다. 즉, FFI 신호의 듀티 사이클은 tREF를 리프레쉬 사이클수로 나눔으로써 얻어질 수 있다. 따라서,

FF0 뒤지 FFn중의 하나가 멀티플렉서(334)에 의해 원하는 tREF에 따라 FFI로 선택된다. 펄스 발생기(336)는, 도3b에 도시된 바와 같이, FFI 신호와 드티 사이클이 같고 펄스 폭(약 20-40 nS 범위)이 다른 CEF 신호를 발생시킨다.

도4는 도 1에 도시된 상기 제1 억세스 회로(108)의 일부를 구성하는 펄스 발생기(440)를 도시하고 있다. 펄스 발생기(440)는 억세스 신호(ADD)와 철인에이블 신호(/CE)를 수신하고, 상기 ADD신호들이 변화하거나 상기 /CE 신호가 로우로 천이할 때 소정의 펄스 폭(예를 들어, 약 40-60 nS)을 가지는 CEN 펄스를 발생시킨다. 일반적으로, tRC값(도2 참조)은 최소 시간 주기를 한정하고 마이크로초(μs) 단위 이상으로 확장될 수도 있다. 또한, tREF는 리프레쉬 동작이 수행되기 전의 메모리 셀의 최대 허용치(즉, 데이터 보유)를 한정한다. 따라서, tRC가 tREF 주기와 같거나 큰 경우(즉, CEN 신호가 tREF이상의 주기동안 인에이블되는 경우)에 불가피하게 발생되는 리프레쉬의 실패를 방지하기 위하여, 상기 CEN 신호가 펄스 신호로 발생된다. 이로써, 정상 메모리 억세스시 선택된 워드라인이 tRC 기간과 관계없이 정해진 시간 주기 후에는 비선택되는 것이 보장된다.

도5a는 본 발명의 일실시예에 따른 도1의 종재회로(106)의 회로도이다. 종재회로(106)는 CEN 및 CEF 펄스 신호를 상기 제1 억세스 회로(108)와 제2 억세스 회로(104)로부터 각각 수신하도록 결합되어 있다. 종재회로(106)는 CEN 및 CEF 펄스 신호 중 어느 것이 먼저 발생할 것인지 결정하고, 이어서 도1에 도시된 바와 같이 셀프-리프레쉬 제어 신호(CEFO)와 정상 메모리 억세스 제어 신호(CEND)를 적절한 주변 회로부에 인가한다. 상기 CEFO 및 CEND 신호는 각각 CEF 및 CEN 신호와 거의 비슷한 펄스 폭을 가지는 펄스신호이다.

종재회로(106)의 동작을 도5b에 도시된 타이밍도와 관련하여 설명하기로 한다. 종재회로(106)는 각각 CEF 및 CEN 신호를 수신하는 두 개의 크로스-결합(cross-coupled)된 NAND 게이트(542, 544)를 가지는 RS 플립-플롭을 구비하고 있다. 상기 RS 플립-플롭은 상기 CEF 및 CEN 신호들 중에서 어느 것이 먼저 발생될 것인지 결정하고 정상 메모리 억세스 동작과 셀프-리프레쉬 동작의 동시 발생이나 중첩을 방지(즉, CEFO 및 CEND 신호들간의 중첩 시간 주기를 방지)한다.

도5b에는, CEN 펄스신호가 CEF 펄스신호 앞에 오면서 중첩되는 조건(즉, T1 시간 주기); CEF 펄스신호가 CEN 펄스신호 앞에 오면서 중첩되는 조건(즉, T2 시간 주기); 및 CEN 및 CEF 펄스신호간 중첩이 없는 조건(즉, T3 시간 주기)등의 3개의 타이밍 조건이 도시되어 있다. T1 주기에 해당하는 타이밍 조건에서는, 정상 메모리 억세스 동작이 진행되는 동안에, CEF 펄스신호에 의해 셀프-리프레쉬 동작이 개시된다. 정상 메모리 억세스 동작이 제대로 완료되기 위해서는 셀프-리프레쉬 동작이 정상 메모리 억세스 동작의 완료 후까지 지연되어야 한다. T2 주기에 해당하는 타이밍 조건에서는, 셀프-리프레쉬 동작이 진행되는 동안에, CEN 펄스신호에 의해 정상 메모리 억세스 동작이 개시된다. 셀프-리프레쉬 동작이 제대로 완료되기 위해서는 정상 메모리 억세스동작이 셀프-리프레쉬 동작의 완료 후까지 지연되어야 한다.

상기 RS 플립-플롭은 T1과 T2 타이밍 주기로 나타난 바와 같은 시간 차이를 해결한다(도5b 참조). 상기 RS 플립-플롭은 출력 단자에서의 출력 신호 A, B가 T1과 T2 타이밍 주기동안에는 중첩되지 않게 한다. 결과적으로, CEFO 및 CEND 신호는 도5b에 도시된 바와 같이 중첩되지 않는다. T3 주기에 해당하는 비중첩 타이밍 조건에서는 정상 메모리 억세스 동작이 CEN 펄스신호에 의해 개시된다. 이는 어떠한 충돌도 일어나지 않으며, 따라서 CEND 가 CEN과 같은 것으로 도시된다.

도5a에서, 글리치(glitch) 억제회로(545)가 신호 A와 B를 RS 플립-플롭으로부터 수신하도록 결합되어 신호 C와 D를 펄스 발생회로(554, 546)로 각각 제공한다. 글리치 억제 회로(545)는 크로스-결합 구조로 연결된 두 개의 NMOS 트랜지스터(546, 548)와 크로스-결합 구조로 비슷하게 연결된 두 개의 PMOS 트랜지스터(550, 552)를 구비한다. 상기 트랜지스터(548, 552)는 전원 VCC과 상기 RS 플립-플롭의 일측 출력 단자 사이에 직렬로 연결되어 있고 트랜지스터(546, 550)는 전원 VCC과 상기 RS 플립-플롭의 타측 출력 단자 사이에 직렬로 연결되어 있다.

글리치 억제 회로(545)는 CEF 및 CEN 신호간의 약간의 중첩으로 인한 글리치 펄스의 발생을 방지한다. 상기 글리치 억제 회로(545)의 중간 노드에서의 C, D 신호는 신호 A, B와 각각 같은 펄스 파형을 가지며, 펄스 발생기(554, 556)에 연결되어 있다. 각 펄스 발생기(554, 556)는 소정 펄스 폭을 가지는 펄스 신호를 제공한다. 일실시예에서는, 펄스 발생기(556)는 CEN 펄스 신호(예를 들어, 40-60 nS 범위내)의 폭과 같은 펄스 폭을 가지는 CEND 펄스신호를 발생하고, 펄스 발생기(554)는 메모리 셀의 활성화 복원 시간을 충분히 보장할 수 있는 펄스 폭(예를 들어, 20-40 nS 범위내)을 가지는 CEFO 펄스신호를 발생한다.

도5b의 타이밍도에 도시된 바와 같이, CEFO 펄스신호는 A와 C 신호가 로우로 천이될 때 발생한다. 비슷하게, CEND 펄스신호는 B와 D 신호가 로우로 천이될 때 발생한다. CEND 와 CEFO 신호의 펄스 폭은 원하는 리프레쉬 시간, 장치의 억세스 속도, 동작전압 및 기타 요소에 따라 변화될 수 있다. 도5a의 회로에 의해 수행되는 기능을 수행하기 위하여 다른 회로들이 설계될 수도 있다.

도1에 도시된 바와 같이, CEFO 신호는 리프레쉬 어드레스 카운터(110)와 로우 어드레스 버퍼/멀티플렉서 회로 블록(112)에 연결되어 있다. 리프레쉬 어드레스 카운터(110)는 리프레쉬 동작 시 CEFO 신호에 응답하여 상기 회로 블록(112)에 리프레쉬 로우 어드레스 신호를 제공하도록 결합되어 있다. 상기 회로 블록(112)은 상기 CEND와 ADD 버스를 따라 외부에서 제공되는 로우 어드레스 신호를 더 수신하도록 결합되어, 로우 디코더(116)에 한 세트의 버퍼링된 로우 어드레스 신호들을 제공한다. CEFO 펄스신호가 발생되면(즉, 셀프-리프레쉬 동작을 지시함), 회로 블록(112)은 리프레쉬 어드레스 카운터(110)에 의해 발생된 로우 어드레스 신호를 버퍼링하여 로우 디코더(116)에 제공한다.

칼럼 어드레스 버퍼(114)는 CEND 신호와 ADD 버스를 따라 외부에서 제공된 칼럼 어드레스 신호를 수신하도록 결합되어 있다. 리프레쉬 동작 중에는 칼럼 어드레스 버퍼(114)로부터 버퍼링된 칼럼 어드레스 신호를 수신하는 데미터 전송로(즉, 메모리 셀 어레이(122)에서 데미터 입/출력 패드까지의 경로)가 동작할 필요가 없기 때문에, 칼럼 어드레스 버퍼(114)는 셀프-리프레쉬 동작 중에 활성화될 필요가 없다. 로우 디코더(116)와 칼럼 게이트 블록(120)에 연결된 메모리 셀 어레이(122)는 각 워드라인(WL)과 비트라인(BL)의 교차점에 복수개의 메모리 셀(MC)을 구비한다.

도6은 4개의 메모리 뱅크(610A, 610B, 610C, 610D)를 구비하는 메모리 구조 (600)에서 정상 메모리 억세스 동작과 셀프-리프레쉬 동작 시 워드라인 활성화의 일 예를 도시한 것이다. 정상 메모리 억세스 동작 시, 수직으로 연장된 점선으로 표시된 상하 뱅크 각각에서 하나의 워드라인이 동시에 활성화된다. 결과적으로, 4개 메모리 뱅크 모두에 있는 워드라인들이 활성화된다. 반면에, 셀프-리프레쉬 동작 시에는, 메모리 뱅크(610A)에서 수직 연장된 일정 색션으로 도시된 바와 같이 하나의 워드라인이 네 개의 메모리 뱅크를 중에서 하나에서만 활성화된다. 이는 활성화된 센스 증폭기의 수를 최소화하여 리프레쉬 동작 중에 전류 소모가 상당히 감소된다. 다양한 구조의 메모리 뱅크가 구현될 수 있다. 하지만, 활성화된 워드라인의 수는 정상 메모리 억세스 동작에 비하여, 리프레쉬 동작 중에 감소될 수 있다. 그래서, 리프레쉬 동작 중에 소모되는 활성화 전류는 감소될 수 있다.

도7은 도6에 도시된 4개의 메모리 뱅크 중의 하나를 선택하는 디코딩 로직 (700)을 도시한 것이다. RAI 와 RAJ는 /BANK0 와 /BANK3로 표시된 상기 4개의 메모리 뱅크 중의 하나를 선택하기 위하여 사용되는 로우 어드레스이다. 상기 어드레스 디코딩 로직은 RAI 와 RAJ 어드레스를 수신하는 4개의 2-입력 NAND 게이트를 구비하며, 각 NAND 게이트의 출력은 두 개의 직렬 연결된 인버터에 의해 바퍼링된다. 상기 RAI, RAJ 어드레스의 주어진 바이너리(binary) 조합에 대하여, 상기 4개의 뱅크 신호 중의 하나가 선택된다. 예를 들어, RAI 와 RAJ가 '하이(high)'이면, /BANK0 신호(즉, '로우(low)'인 신호)가 선택된다. 디코딩 로직(700)은 많은 가능한 디코딩 로직 회로 중의 하나이며, 이에 한정되지는 않는다.

도8은 셀프-리프레쉬를 위하여 메모리 블록 선택의 일부를 이루는 로직도의 일 실시 예를 보여주는 것이다. 도6에 도시된 바와 같은 메모리 구조의 예에서, 각 메모리 뱅크는 복수개의 메모리 블록을 구비하고 있다. 메모리 블록(6204i)은 메모리 뱅크(610A)의 대표적인 블록이다. 예를 들어, 각 메모리 뱅크가 8개의 블록을 구비하고 있다면, 3개의 로우 어드레스(DRAK, DRAI, DRAm)가 선택된 메모리 뱅크의 8개 블록 중의 하나를 선택하는데 사용될 수 있다. 블록 선택을 위한 디코딩은 도시되어 있지만, 본 발명 기술 분야에서는 주지의 사실이다. 도8에서, BLSi 신호가 선택된 뱅크를 나타내는 /BANK1 신호, CEF0 펄스신호 및 선택된 블록을 나타내는 DRAK1m 신호의 조합에 응답하여 발생된다. 블록신호 BLSi는 선택된 블록내의 센스 증폭기를 활성화 시켜 데이터를 복원시킨다. CEF0 신호의 활성화 주기 (즉, CEF0 펄스기간) 중에는 /BANK1 신호만이 유효하다. 이는 셀프-리프레쉬 동작 중에는 복수개의 메모리 뱅크 중에서 하나의 메모리 뱅크만이 선택된다는 것을 의미한다.

추가로, 상술한 뱅크 선택 로직은 특정 동작에서 이용될 수도 있다. 다시 말해서, 특정 테스트 모드 또는 사용자 프로그램 모드 목적으로, 셀프-리프레쉬 모드 중에 소정 메모리 뱅크만 활성화될 수 있다. 예를 들어서, 유효 데이터가 메모리 뱅크 1에 저장되어 있고 다른 뱅크의 데이터는 읽기가 없다고 하면, 사용자는 일정 사용자 모드 타이밍 중에는 메모리 뱅크 1만 리프레쉬할 것이다. 사용자 모드 리프레쉬 스킴은, 예를 들어, 특정 데이터(예를 들어서, OS, MPEG 데이터 등)를 저장하기 위한 이동전화에서도 사용될 수 있다. 특정 사용자에게 타이밍과 어드레스 (RAI, RAJ)를 제공함으로써 제어와 어드레스 핀을 통해 사용자가 사용자-리프레쉬 스킴을 세팅할 수 있다.

본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 따르면, DRAM과 유사한 단순화된 셀 구조를 가지는 메모리 셀에 저장된 데이터를 리프레쉬하기 위한 외부 신호(부가적인 핀)의 필요성을 제거한 회로 기술이 제시된다. 이는 기존의 SRAM과의 메모리 핀-아웃 호환이 가능하게 한다. 또한, 상기 회로 기술은 리프레쉬 동작 중의 전력 소모를 최소화할 수 있다.

(57) 청구의 범위

청구항 1. 셀프-리프레쉬 제어펄스 신호를 외부 리프레쉬 명령없이 주기적으로 발생시키는 셀프-리프레쉬 제어 회로를 구비하는 메모리 접적 회로를 구동시키는 방법에 있어서,

외부 억세스 명령신호에 응답하여 상기 셀프-리프레쉬 제어펄스 신호보다 긴 펄스 폭을 가지는 정상 억세스 제어펄스 신호를 발생시키는 단계;

상기 셀프-리프레쉬 제어펄스 신호와 정상 억세스 제어 펄스신호의 순서를 결정하는 단계;

상기 정상 억세스 제어펄스 신호가 상기 셀프-리프레쉬 제어펄스 신호보다 우선하면 억세스 제어 신호를 발생시키는 단계;

상기 억세스 제어 신호를 비활성화시키는 단계;

상기 억세스 제어 신호의 비활성화후에 리프레쉬 제어 신호를 발생시키는 단계; 및

상기 리프레쉬 제어 신호를 비활성화시키는 단계를 구비하는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

청구항 2. 제1항에 있어서, 상기 억세스 제어 신호는

소정 펄스 폭을 가지는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

청구항 3. 제1항에 있어서, 상기 리프레쉬 제어 신호는
소정 팰스 폭을 가지는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

청구항 4. 제1항에 있어서, 상기 셀프-리프레쉬 제어 팰스신호와 상기 정상 억세스 제어 팰스 신호간의
중첩에 의해 따로 발생되는 글리치 신호를 억제하는 단계를 더 구비하는 것을 특징으로 하는 메모리 접적
회로 구동 방법.

청구항 5. 셀프-리프레쉬 제어팰스 신호를 외부 리프레쉬 명령없이 주기적으로 발생시키는 셀프-리프레
쉬 제어 회로를 구비하는 메모리 접적 회로를 구동시키는 방법에 있어서,

외부 억세스 명령신호에 응답하여 상기 셀프-리프레쉬 제어팰스 신호보다 긴 팰스 폭을 가지는 정상 억세
스 제어팰스 신호를 발생시키는 단계;

상기 셀프-리프레쉬 제어팰스 신호와 정상 억세스 제어팰스 신호의 순서를 결정하는 단계;

상기 셀프-리프레쉬 제어팰스 신호가 상기 정상 제어팰스 신호보다 우선하면 리프레쉬 제어 신호를 발생
시키는 단계;

상기 리프레쉬 제어 신호를 비활성화시키는 단계;

상기 리프레쉬 제어 신호의 비활성화후에 억세스 제어 신호를 발생시키는 단계; 및

상기 억세스 제어 신호를 비활성화시키는 단계를 구비하는 것을 특징으로 하는 메모리 접적 회로 구동 방
법.

청구항 6. 제5항에 있어서, 상기 억세스 제어 신호는
소정 팰스 폭을 가지는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

청구항 7. 제5항에 있어서, 상기 리프레쉬 제어 신호는

소정 팰스 폭을 가지는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

청구항 8. 제5항에 있어서, 상기 셀프-리프레쉬 제어 팰스신호와 상기 정상 억세스 제어 팰스 신호간의
중첩에 의해 따로 발생되는 글리치 신호를 억제하는 단계를 더 구비하는 것을 특징으로 하는 메모리 접적
회로 구동 방법.

청구항 9. 메모리 셀 어레이; 및

전력 상승시 주기적으로 활성화되는 셀프-리프레쉬 신호를 내부적으로 발생시키되, 상기 활성화된 셀프-
리프레쉬 신호 각각이 상기 어레이에 있는 소정 개수의 메모리 셀 각각의 상태를 리프레쉬하기 위한 리프
레쉬 동작을 개시하는 제1회로를 구비하는 것을 특징으로 하는 메모리 접적 회로.

청구항 10. 제9항에 있어서, 각 리프레쉬 동작은

소정 시간 주기 후에 종료되는 것을 특징으로 하는 메모리 접적 회로.

청구항 11. 제9항에 있어서,

상기 제1회로는

주기적으로 활성화되는 셀프-리프레쉬 신호와 정상 메모리 억세스 동작을 나타내는 정상 메모리 억세스
신호를 수신하도록 구성된 제2회로를 구비하며,

상기 제2회로는

상기 활성화된 셀프-리프레쉬 신호와 정상 메모리 억세스 신호가 중첩되는 경우에, 상기 리프레쉬 동작과
정상 메모리 억세스 동작이 수행되는 순서를 확인하는 것을 특징으로 하는 메모리 접적 회로.

청구항 12. 제11항에 있어서, 상기 제2회로는

상기 셀프-리프레쉬 신호와 정상 메모리 억세스 신호가 중첩되지만 상기 셀프-리프레쉬 신호가 상기 정상
메모리 억세스 신호보다 앞서는 경우에는, 상기 리프레쉬 동작이 상기 정상 메모리 억세스 동작 개시에
앞서 종료되게 하는 것을 특징으로 하는 메모리 접적 회로.

청구항 13. 제11항에 있어서,

상기 메모리 어레이의 복수개의 로우 메모리 셀을 구비하며,

각 리프레쉬 동작 중에 선택되는 워드라인의 수가 각 정상 메모리 억세스 동작 때보다 적은 것을 특징으로 하는 메모리 접적 회로.

청구항 14. 메모리 접적 회로를 구동시키는 방법에 있어서,

전력 상승 시 소정 개수의 메모리 셀 각각의 상태를 리프레쉬하기 위한 리프레쉬 동작을 주기적으로 개시하기 위한 주기적으로 활성화되는 셀프-리프레쉬 신호를 내부적으로 발생시키는 단계;

외부 메모리 억세스 명령신호에 등답하여 정상 메모리 억세스 신호를 발생시켜 정상 메모리 억세스 동작을 개시하는 단계; 및

활성화된 셀프-리프레쉬 신호와 정상 메모리 억세스 신호가 중첩되면, 상기 리프레쉬 동작과 정상 메모리 억세스 동작이 수행되는 순서를 확인하는 단계를 구비하는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

청구항 15. 제14항에 있어서, 상기 정상 메모리 억세스 제어 신호는

소정 팔스 폭을 가지는 것을 특징으로 하는 메모리 접적회로 구동 방법.

청구항 16. 제14항에 있어서, 상기 셀프-리프레쉬 제어 신호는

소정 팔스 폭을 가지는 것을 특징으로 하는 메모리 접적회로 구동 방법.

청구항 17. 제14항에 있어서, 상기 셀프-리프레쉬 제어팔스 신호와 상기 정상 억세스 제어팔스 신호의 중첩 시 글리치 신호를 억제하는 단계를 더 구비하는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

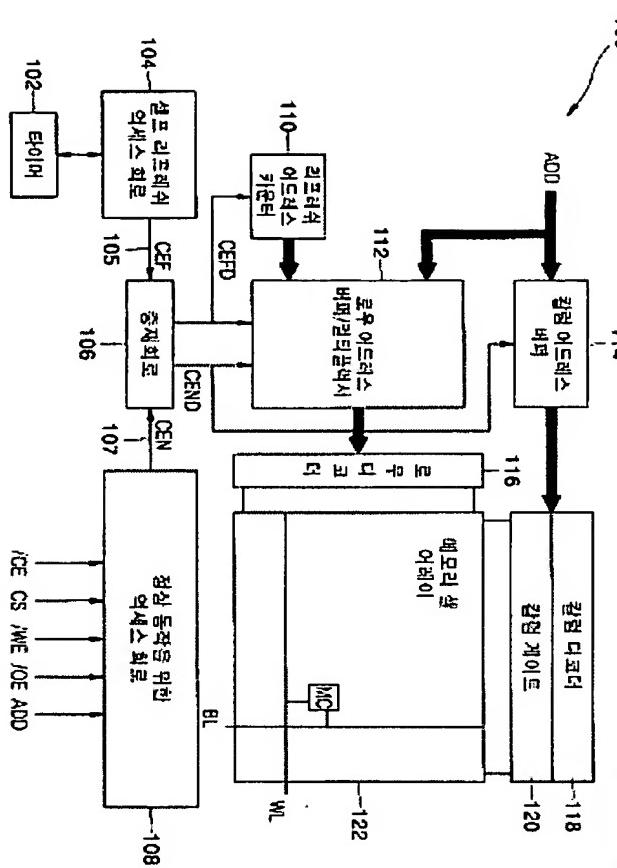
청구항 18. 제14항에 있어서, 상기 확인 단계는,

상기 셀프-리프레쉬 신호와 정상 메모리 억세스 신호가 중첩되지만 상기 셀프-리프레쉬 신호가 상기 정상 메모리 억세스 신호보다 앞서는 경우에, 상기 리프레쉬 동작이 상기 정상 메모리 억세스 동작 개시에 앞서 종료되게 하는 단계; 및

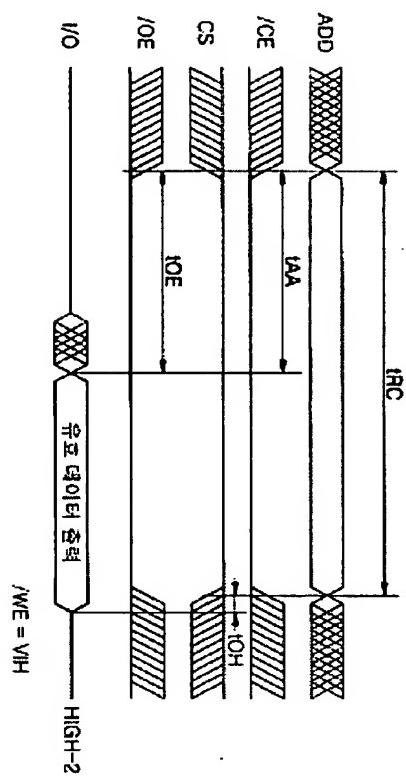
상기 셀프-리프레쉬 신호와 정상 메모리 억세스 신호가 중첩되지만 상기 셀프-리프레쉬 신호가 상기 정상 메모리 억세스 신호 후에 발생되는 경우에, 상기 정상 메모리 억세스 동작이 상기 리프레쉬 동작의 개시에 앞서 종료되게 하는 단계를 구비하는 것을 특징으로 하는 메모리 접적 회로 구동 방법.

도면

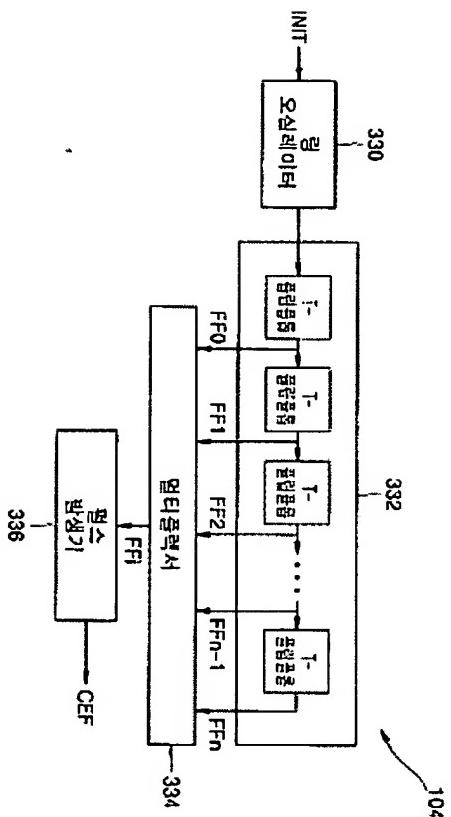
도면 1



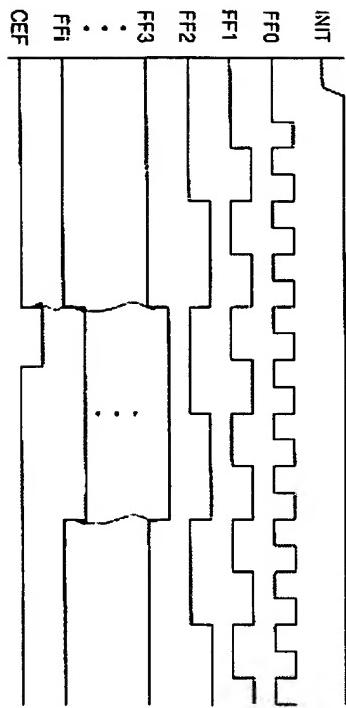
L82



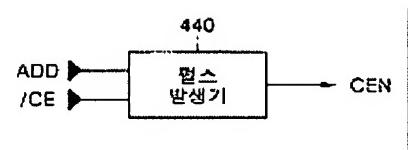
도서목록



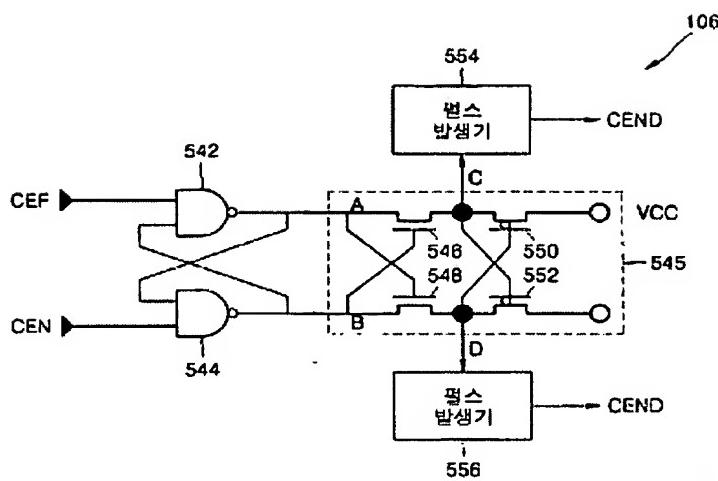
도면3



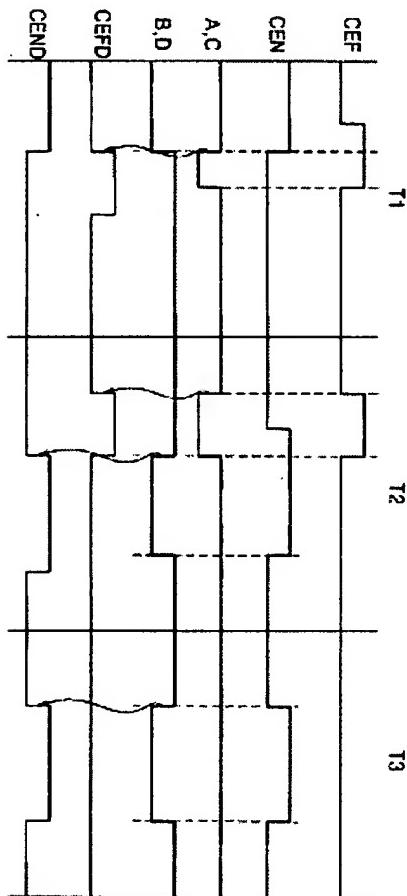
도면4



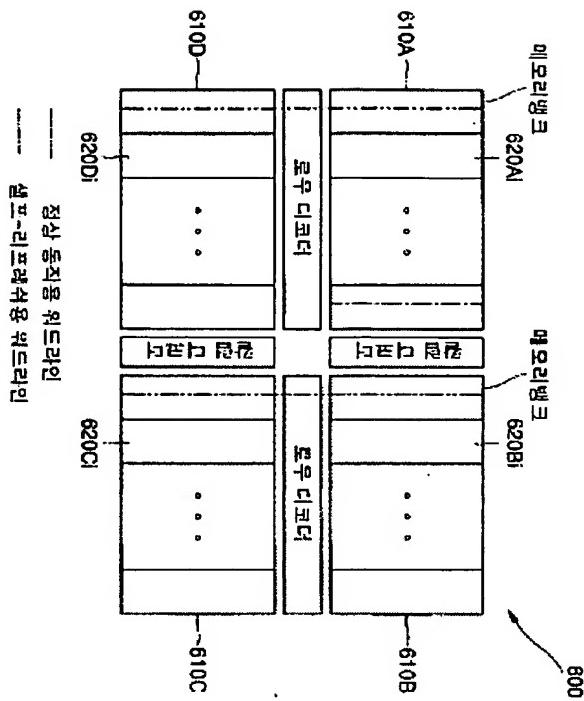
도면5a



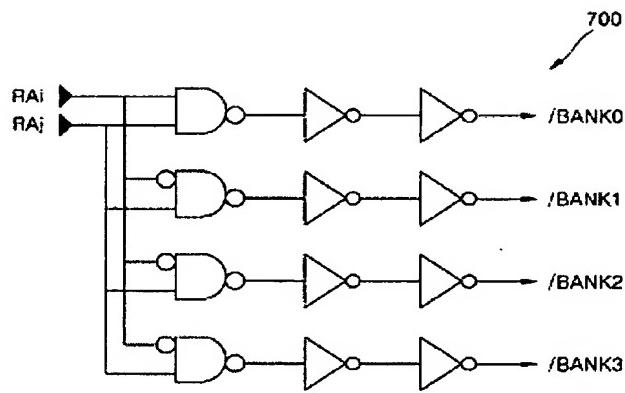
도면5b



도면



도면



도면

